

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-284894

(43)Date of publication of application : 16.11.1989

(51)Int.Cl.

G09G 3/30

(21)Application number : 63-115697

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.05.1988

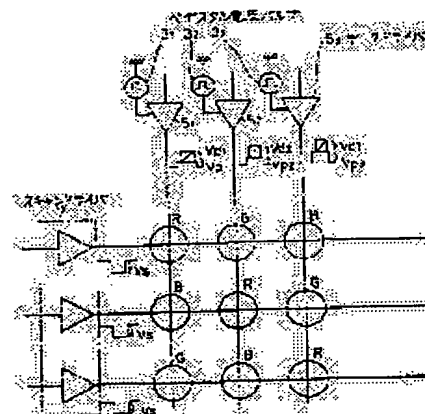
(72)Inventor : KAWADA TOYOSHI
KOBAYASHI TETSUYA

(54) DRIVING CIRCUIT FOR MATRIX DISPLAY PANEL

(57)Abstract:

PURPOSE: To reduce power consumption by impressing a pedestal voltage and a data voltage on picture elements by kinds in synchronism with a scanning timing after making the respective voltages different.

CONSTITUTION: Data drivers 51, 52 and 53 are provided corresponding to R, G and B by the kinds of plural kinds of picture elements and output the data voltages V_{d1} , V_{d2} and V_{d3} which are different from one another to the picture elements of R, G and B. Pedestal voltage pulsers 31, 32 and 33 output the pedestal voltages $VP1$, $VP2$ and $VP3$ which are different from one another to the drivers 51W53 of R, G and B every scanning timing. A scanning driver 2 outputs the same scanning voltage V_s to the picture elements of the respective scanning electrodes in the scanning timing. By using the drivers 51W53 and the pulsers 31W33, the voltages treated by the drivers 51W53 become lower by the amount of the pedestal voltage, whereas the data driver whose voltage resistance is low can be used and the power consumption can be made small.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑤ Int. Cl.

G 09 G 3/30

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月16日

7335-5C

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 マトリクス表示パネルの駆動回路

⑮ 特 願 昭63-115697

⑯ 出 願 昭63(1988)5月12日

⑰ 発 明 者 河 田 外 与 志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 小 林 哲 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 伊 東 忠 彦

明 細 書

1. 発明の名称

マトリクス表示パネルの駆動回路

2. 特許請求の範囲

輝度-電圧特性を夫々異なる複数種(R、G、B)の画素をスキャン電極方向及びデータ電極方向に夫々一定の規則を以て繰返しマトリクス状に配列したマトリクス表示パネルの駆動回路において、

上記複数種の画素の各種別(R、G、B)に対応して設けられ、各種別(R、G、B)の画素に対して夫々異なるデータ電圧(V_{d1} 、 V_{d2} 、 V_{d3})を出力するデータドライバ(5_1 、 5_2 、 5_3)と、

該データドライバ(5_1 、 5_2 、 5_3)に対応して設けられ、スキャンタイミング毎に、各種別(R、G、B)のデータドライバ(5_1 、 5_2 、

5_3)に対して夫々異なるベデスタル電圧(V_{p1} 、 V_{p2} 、 V_{p3})を出力するベデスタル電圧パルサ(3_1 、 3_2 、 3_3)と、

各スキャン電極の画素に対しスキャンタイミングで同一のスキャン電圧(V_s)を印加するスキャンドライバ(2)とよりなり、スキャンタイミングに同期して各種別(R、G、B)の画素に上記ベデスタル電圧(V_{p1} 、 V_{p2} 、 V_{p3})及びデータ電圧(V_{d1} 、 V_{d2} 、 V_{d3})を夫々異ならしめて印加する構成としたことを特徴とするマトリクス表示パネルの駆動回路。

3. 発明の詳細な説明

(概要)

薄膜EL素子で構成された画素をマトリクス状に配列して夫々の画素を所定の発光色で発光せしめるマトリクス表示パネルの駆動回路に関し、

ドライバの耐圧を小さくでき、又、消費電力を少なく構成できることを目的とし、

複数種の画素の各種別に対応して設けられ、各種別の画素に対して夫々異なるデータ電圧を出力するデータドライバと、データドライバに対応して設けられ、スキヤンタイミング毎に、各種別のデータドライバに対して夫々異なるベデスタル電圧を出力するベデスタル電圧パルサと、各スキヤン電極の画素に対しスキヤンタイミングで同一のスキヤン電圧を印加するスキヤンドライバとよりなり、スキヤンタイミングに同期して各種別の画素にベデスタル電圧及びデータ電圧を夫々異ならしめて印加する構成とする。

(産業上の利用分野)

本発明は、薄膜EL素子で構成された画素をマトリクス状に配列して夫々の画素を所定の発光色で発光せしめるマトリクス表示パネルの駆動回路に関する。

特に薄膜EL素子で構成されたマトリクス表示パネルとして、第5図に示すようなR(赤)、G(緑)、B(青)の各色で発光する画素をマトリ

基準に、R色に対するデータ電圧を V_R (オン電圧 V_{onR})、G色に対するデータ電圧を V_G (オン電圧 V_{onG})、B色に対するデータ電圧を V_B (オン電圧 V_{onB})とし、このように毎発光色に対応してデータ電圧を異ならしめることによって画素の駆動電圧を異ならしめ、適正な輝度を得るようにしている。

(発明が解決しようとする課題)

然るに、第6図に示す従来例は電圧 V_B のように振幅の大きいデータ電圧を必要とし、データドライバに耐圧の大きいものが必要で、高価になり、又、消費電力も大になる問題点があった。

本発明は、ドライバの耐圧を小さくでき、又、消費電力を少なく構成できるマトリクス表示パネルの駆動回路を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理図を示す。本発明は、同図に示す如く、複数種の画素の各種別R、G、B

クス状に配列したものがあり、各スキヤン(縦方向)電極毎に所定のデータ(横方向)電極電圧を印加する。ここで、薄膜EL素子で画素を形成すると、夫々の発光色に応じて発光層材料が異なるため、第6図に示す如く、R色及びG色及びB色の各発光色の画素毎に夫々の電圧-輝度特性が異なり、各画素を同一の電圧(V_a)で駆動すると、発光色毎に輝度が異なってしまう。

そこで、このように電圧-輝度特性が夫々異なる発光色の画素についても一様の輝度で発光させ、視易いようにすることが必要である。

(従来の技術)

発光色毎にその輝度が異なってしまう不都合をなくすには、EL素子の特性を合わせることが基本であるが、現状のプロセス技術では容易でない。そこで、一般には駆動電圧を夫々異ならしめる方法をとっている。

例えば、第6図に示す如く、オフ電圧 V_{off} を

に対応して設けられ、各種別R、G、Bの画素に対して夫々異なるデータ電圧 V_{d1} 、 V_{d2} 、 V_{d3} を出力するデータドライバ 5_1 、 5_2 、 5_3 と、データドライバ 5_1 、 5_2 、 5_3 に対応して設けられ、スキヤンタイミング毎に、各種別R、G、Bのデータドライバ 5_1 、 5_2 、 5_3 に対して夫々異なるベデスタル電圧 V_{p1} 、 V_{p2} 、 V_{p3} を出力するベデスタル電圧パルサ 3_1 、 3_2 、 3_3 と、各スキヤン電極の画素に対しスキヤンタイミングで同一のスキヤン電圧 V_s を印加するスキヤンドライバ2とよりなり、スキヤンタイミングに同期して各種別R、G、Bの画素にベデスタル電圧 V_{p1} 、 V_{p2} 、 V_{p3} 及びデータ電圧 V_{d1} 、 V_{d2} 、 V_{d3} を夫々異ならしめて印加する構成とする。

(作用)

スキヤン電極第1ラインでは、R色に対してベデスタル電圧 V_{p1} 、データ電圧 V_{d1} を印加し、G色に対してベデスタル電圧 V_{p2} 、データ電圧 V_{d2}

を印加し、B色に対してベデスタル電圧 V_{p3} 、データ電圧 V_{d3} を印加する。スキャン電極第2ラインでは、B色に対してベデスタル電圧 V_{p3} 、データ電圧 V_{d3} を印加し、R色に対してベデスタル電圧 V_{p1} 、データ電圧 V_{d1} を印加し、G色に対してベデスタル電圧 V_{p2} 、データ電圧 V_{d2} を印加する。スキャン電極第3ライン以下も同様の動作とする。

このように、各画別の画素に応じて異なる駆動電圧を印加しているので一様の輝度を得ることができる。この場合、データドライバにベデスタル電圧パルサを用いているので、データドライバが扱う電圧はベデスタル電圧分だけ低くてよく、低耐圧のデータドライバを用い得、消費電力は少なくて済む。

(実施例)

第2図は本発明の一実施例の構成図、第3図はその動作タイミングチャートを示す。第2図中、1はマトリクス表示パネルで、スキャン電極ライン及びデータ電極ラインにR、G、Bの各画素が

一定の規則を以てマトリクス状に配列されている。例えば、データ電極ライン D_1 はスキャン電極ライン順にR、B、G、データ電極ライン D_2 はスキャン電極ライン順にG、R、B、データ電極ライン D_3 はスキャン電極ライン順にB、G、Rとされ、その他のデータ電極ラインもこの配列に準じる。2はスキンドライバで、各スキャン電極ラインに同一のスキャン電圧 S_{j1} 、 S_{j+1} 、

S_{j+2} (第3図(D)~(F))を印加する。

$3_1 \sim 3_3$ はベデスタル電圧パルサで、夫々、ベデスタル電圧可変制御回路4からの制御信号によって各スキャンタイミングに同期してその出力ベデスタル電圧を可変される。 $5_1 \sim 5_3$ はデータドライバで、夫々ベデスタル電圧パルサ $3_1 \sim 3_3$ はベデスタル電圧パルサで、夫々、ベデスタル電圧可変制御回路4からの制御信号によって各スキャンタイミングに同期してその出力ベデスタル電圧を可変される。 $5_1 \sim 5_3$ はデータドライバで、夫々ベデスタル電圧パルサ $3_1 \sim 3_3$ に対応して設けられており、データ電圧に所定のベ

デスタル電圧を重畳されたデータ電圧 D_{i1} 、 D_{i2} 、 D_{i3} (第3図(A)~(C))を出力する。

次に、第2図に示す本発明回路の動作について第3図と共に説明する。まず、タイミング t_1 において、ベデスタル電圧可変制御回路4の制御により、ベデスタル電圧パルサ 3_1 はR色に対応して、ベデスタル電圧パルサ 3_2 はG色に対応して V_{pg} 、ベデスタル電圧パルサ 3_3 はB色に対応して V_{pb} の各ベデスタル電圧を出力する。これにより、データドライバ 5_1 はR色のデータ電圧のみ(第3図(A))、データドライバ 5_2 はG色のベデスタル電圧 V_{pg} とG色のデータ電圧 V_{dg} とを加算されたデータ電圧 D_{i2} (第3図(B))、データドライバ 5_3 はB色のベデスタル電圧 V_{pb} とB色のデータ電圧 V_{db} とを加算されたデータ電圧 D_{i3} (第3図(C))を出力する。一方、スキンドライバ2はスキャン電圧 S_j (第3図(D))を出力する。

従って、スキャン電極第1ラインのR色の画素

にはスキャン電圧 V_s とR色のデータ電圧 V_{dr} とが加算された駆動電圧 $(D_{i1} - S_j)$ (第3図(G))が印加され、G色の画素にはスキャン電圧 V_s とG色のベデスタル電圧 V_{pg} とG色のデータ電圧 V_{dg} とが加算された駆動電圧 $(D_{i2} - S_{j+1})$ (第3図(H))が印加され、B色の画素にはスキャン電圧 V_s とB色のベデスタル電圧 V_{pb} とB色のデータ電圧 V_{db} とが加算された駆動電圧 $(D_{i3} - S_{j+2})$ (第3図(I))が印加される。これにより、第4図に示す如く、R色、G色、B色夫々異なる駆動電圧で夫々の画素を駆動しているので、各色とも同一の輝度で発光表示できる。この場合、データドライバにベデスタル電圧を用いているので、データドライバが扱うデータ電圧はベデスタル電圧分だけ従来例のものよりも低くてよく、低耐圧のデータドライバを用い得、しかも消費電力は少なくて済む。

次に、タイミング t_2 において、ベデスタル電圧可変制御回路4の制御により、ベデスタル電圧

パルス 3_1 はB色に対応して V_{pB} 、ベデスタル電圧パルス 3_2 はR色に対応して V_{pR} 、ベデスタル電圧パルス 3_3 はG色に対応して V_{pG} の各ベデスタル電圧を出力する。これにより、データドライバ 5_1 はB色のベデスタル電圧 V_{pB} とB色のデータ電圧 V_{dB} とを加算されたデータ電圧 D_{i1} (第3図(A))、データドライバ 5_2 はR色のデータ電圧 V_{dR} のみ(第3図(B))、データドライバ 5_3 はG色のベデスタル電圧 V_{pG} とG色のデータ電圧 V_{dG} とを加算されたデータ電圧 D_{i3} (第3図(C))を出力する。一方、スキヤンドライバ2はスキヤン電圧 S_{j+1} (第3図(E))を出力する。

従って、スキヤン電極第2ラインのB色の画素にはスキヤン電圧 V_s とB色のベデスタル電圧 V_{pB} とB色のデータ電圧 V_{dB} とを加算された駆動電圧 $(D_{i1}-S_j)$ (第3図(G))が印加され、R色の画素にはスキヤン電圧 V_s とR色のデータ電圧 V_{dR} とを加算された駆動電圧 $(D_{i2}-S_{j+1})$ (第3図(H))が印加され、G色の画素にはス

キヤン電圧 V_s とG色のベデスタル電圧 V_{pG} とG色のデータ電圧 V_{dG} とを加算された駆動電圧 $(D_{i3}-S_{j+2})$ (第3図(I))が印加される。タイミング t_3 以下つまりスキヤン電極第3ライン以下のR、G、Bの各画素も前述と同様の動作によって発光表示され、マトリクス表示パネル1全体において、各データに応じた画像表示がなされる。

(発明の効果)

以上説明した如く、本発明によれば、各画素別夫々異なる駆動電圧を用いているので各色とも一様の輝度で発光表示でき、この場合、データドライバにベデスタル電圧を用いているので、データドライバが扱うデータ電圧はベデスタル電圧分だけ低くてよく、従来例よりも低耐圧のデータドライバを用い得、しかも消費電力は少なくて済む。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の一実施例の構成図、

第3図は第2図に示す回路の動作タイミングチャート、

第4図は本発明における各画素の輝度-電圧特性図、

第5図はマトリクス表示パネルの部分拡大図、

第6図はEL素子の輝度-電圧特性図である。

図において、

1はマトリクス表示パネル、

2はスキヤンドライバ、

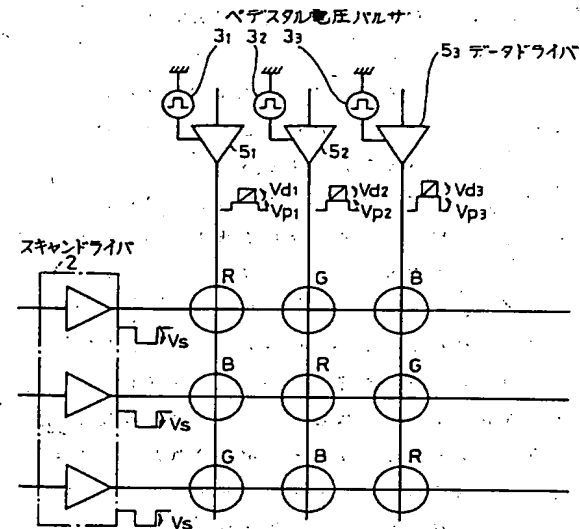
$3_1 \sim 3_3$ はベデスタル電圧パルス、

4はベデスタル電圧可変制御回路、

$5_1 \sim 5_3$ はデータドライバ、

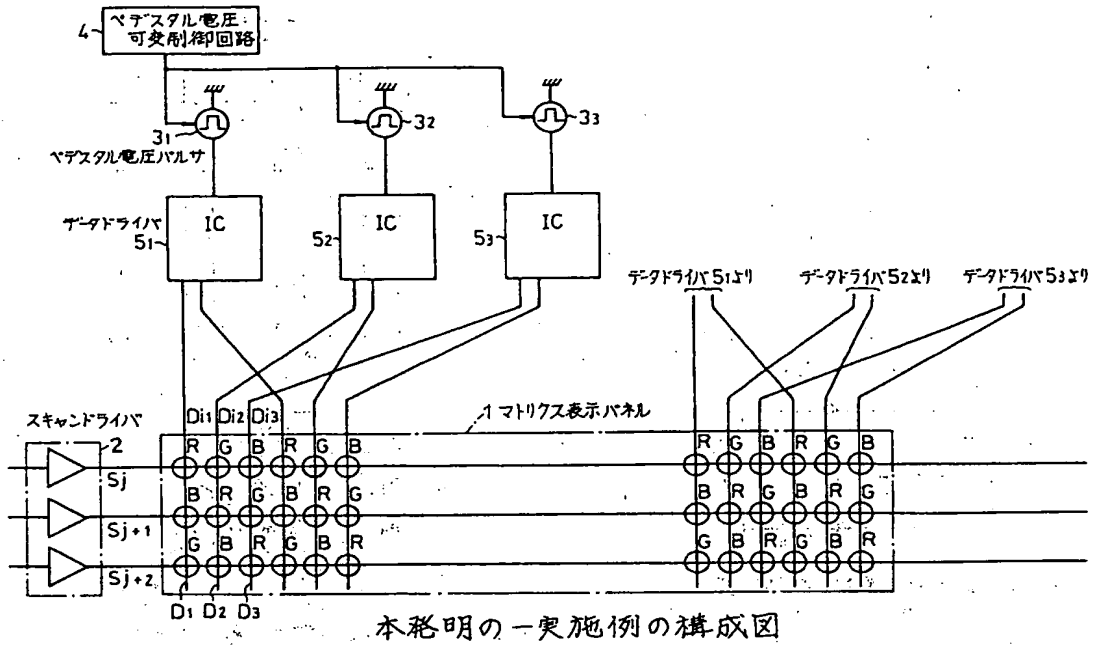
V_{pG} 、 V_{pB} 、 V_{p1} 、 V_{p2} 、 V_{p3} はベデスタル電圧、 V_{dR} 、 V_{dG} 、 V_{dB} 、 V_{d1} 、 V_{d2} 、 V_{d3} はデータ電圧、

V_s はスキヤン電圧を示す。

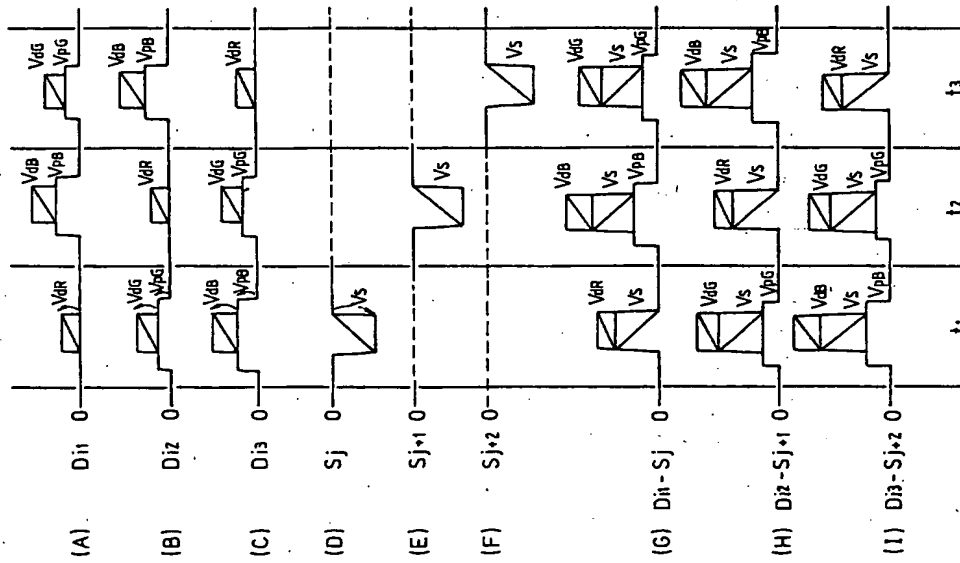


本発明の原理図

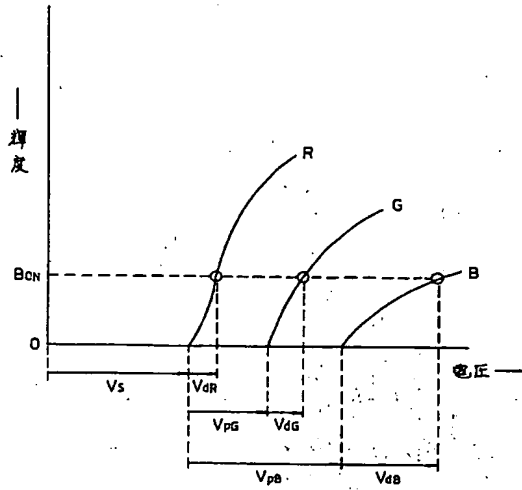
第1図



第 2 図



第2図に示す回路の動作タイミングチャート 第 3 図



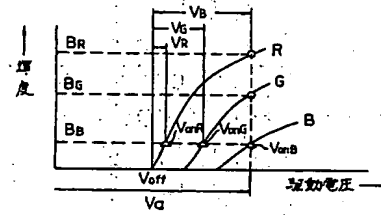
本発明における各画素の輝度-電圧特性図
第4図

データ電極

	R		G		B
	B		R		G
	G		B		R

第5図

マトリクス表示パネルの部分拡大図
第5図



EL素子の輝度-電圧特性図
第6図